

ラインセンサ・インタフェース I C

Z E N 2 9 0 1 P 取扱説明書

改訂 9 4 年 9 月 2 8 日

株式会社ジーニック

— 目 次 —

1、	概 要	
1-1、	型名及びパッケージ	1
1-2、	解 説	1
1-3、	特 徴	1
2、	信 号 定 義	
2-1、	制御信号関係	3
2-2、	データバス	3
2-3、	ビデオ信号関連	3
2-4、	その他	4
3、	ブロック図	4
4、	機 能	
4-1、	ラインセンサ画素数の設定	5
4-2、	デジタルフィルタリング及びエッジ検出	5
4-3、	データの出力形式	6
4-4、	割り込み機能	6
4-5、	データ取り込みのタイミング設定	7
4-6、	汎用入力端子	7
4-7、	8ビットCPUによる制御	8
4-8、	エッジ検出回数の読み出し	8
4-9、	ビデオ信号関連の入力形式について	8
5、	コマンドレジスタフォーマット	
5-1、	概 要	10
5-2、	ソフトウェアリセット、トリガモード	10
5-3、	初期条件設定モード	11
5-4、	割り込み制御、ラインセンサ画素数設定モード	11
5-4-1、	割り込み制御モード	
5-4-2、	ラインセンサ画素数設定モード	
5-5、	比較レジスタ書き込み	12
6、	ステータスレジスタ	
6-1、	概 要	13
6-2、	ステータスレジスタフォーマット	13
6-3、	解 説	14
7、	デフォルト	16
8、	電氣的仕様	
8-1、	絶対最大定格	17
8-2、	推奨動作条件	17
8-3、	入力容量	17
8-4、	電氣的特性	18
9、	AC特性	19
10、	動作タイミング	20

ラインセンサ・インタフェースIC

1、概 要

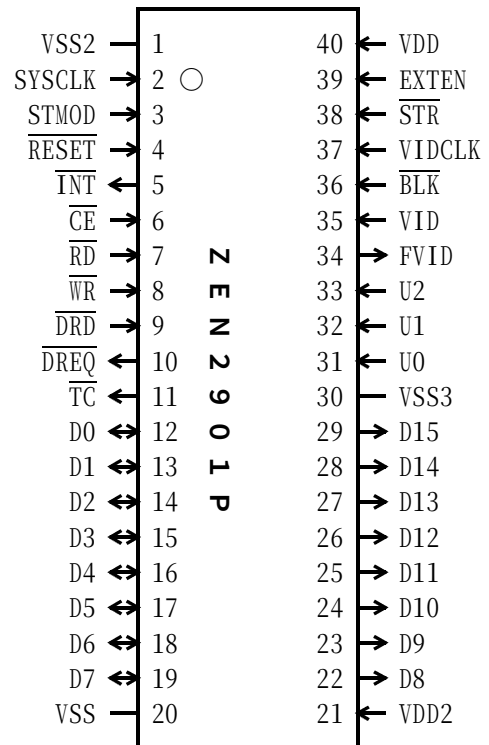
1-1. 型名及びパッケージ

型 名 : ZEN2901P
パッケージ : 40pin DIP

1-2. 解 説

ZEN2901Pは1次元ラインセンサと、16bit CPUおよびDMACを有する信号処理系との間の汎用インタフェースICです。

本ICでは、ラインセンサからの2値化されたビデオ信号をフィルタリングした後エッジ位置を検出し、更にそのエッジ情報（立ち上がり、立ち下がり）と合わせて、16bit データバスに出力します。ビデオ信号をそのままシリ／パラ変換をして、16bit データバスに出力することも可能です。画像データは16bit × 4段の出力レジスタ（FIFO）に蓄えられたのちDMAC系より読み出されます。また割り込み機能として、エッジの検出回数が設定値を越えたとき、および出力バッファがオーバーフローしたときに割り込みを要求することができます。

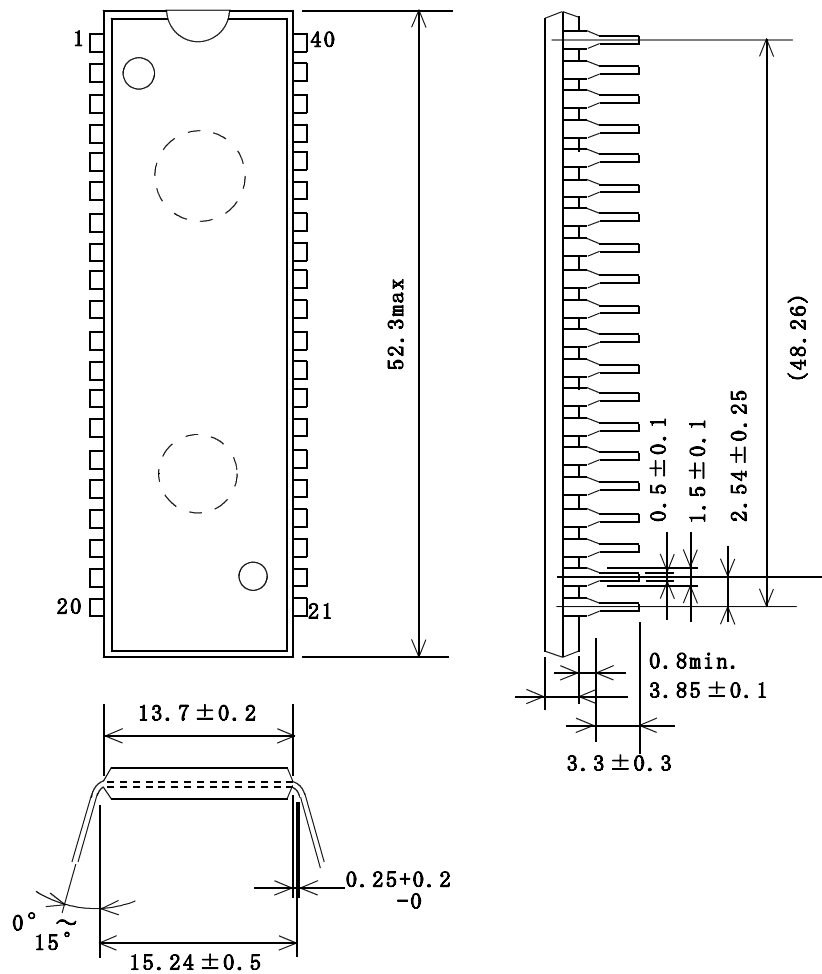


端子配置図
(Top View)

1-3. 特 徴

- 1) 256、512、1024、2048、4096、8192bitの各種ラインセンサに対応。
- 2) ビデオ信号のノイズを除去する為のデジタルフィルタを内蔵。またフィルタの特性をプログラマブルに制御可能。
- 3) 画像データは16bit × 4段の出力バッファ（FIFO）に蓄えられた後DMACを通してメモリに書き込まれるためデータの高速処理が可能。
- 4) 画像データ出力形式は、エッジの検出位置とエッジ情報（立ち上がり／立ち下がり）を合わせて16bit データバスに出力するエッジ検出モードと、ビデオ信号をシリ／パラ変換してそのままデータバスに出力するデータ出力モードのいずれかを選択可能。
- 5) 割り込み機能としてFIFOのオーバーフローによる場合とエッジ検出回数が設定値を越えた場合に要求することが可能。またプログラマブルにマスクも可能。
- 6) ラインセンサのセンサ軸と垂直方向に対して特定の範囲の画像データのみを必要とする場合に対応して画像データ取り込みのトリガをソフトウェアまたは外部入力信号により与えることも可能。

- 7) 汎用入力端子を3bit備えており、必要に応じてその出力をデータバスのD₁₄～D₁₂に出力可能。またステータスレジスタにてソフトウェア上でのモニタ可能。
- 8) コマンドレジスタ8bit、ステータスレジスタ16bitを有し、ステータスレジスタは8bitずつ分けて出力可能なため、8bitCPUによる制御、ステータスの読みだしにも対応。
- 9) 40pinDIP、+5V単一電源、内部CMOS、入出力レベルTTL。



外形寸法図（単位 mm）

2、信号定義

2-1. 制御信号関係

- ・ $\overline{\text{RESET}}$ (入力: アクティブLow) : システムリセット
チップ内部のカウンタ、レジスタ等を初期化します。
- ・ $\overline{\text{CE}}$ (入力: アクティブLow) : チップイネーブル
アクティブ時に内部コマンドレジスタ、ステータスレジスタにアクセス可能です。
- ・ STMOD (入力) : ステータスモード
Lのときステータスレジスタ16bitが一度にデータバスに出力されます。Hの時はステータスの上位8bitがデータバスの下位8bitからも読みだされます。8bitCPUによるステータスレジスタの読み出しの場合に用います。
- ・ $\overline{\text{RD}}$ (入力: アクティブLow) : リード
外部CPUよりデータバスからステータスレジスタを読み出す場合に用います。 $\overline{\text{CE}}$ 信号がアサートされているときのみ有効です。
- ・ $\overline{\text{WR}}$ (入力: アクティブLow) : ライト
外部CPUよりデータバスからコマンドを書き込む時に用います。 $\overline{\text{CE}}$ 信号がアサートされている時有効です。
- ・ $\overline{\text{DRD}}$ (入力: アクティブLow) : データリード
DMACからのデータ読みだし要求信号。 $\overline{\text{CE}}$ 信号とは独立に動作します。
- ・ $\overline{\text{DREQ}}$ (出力: アクティブLow) : DMAリクエスト
DMACに対してデータの転送を要求する信号。
- ・ SYSCLK (入力: 単相クロック) : クロック
CPU側のシステムクロックを入力します。

2-2. データバス

- ・ $\text{D}_{15}-\text{D}_8$ (出力 : 3ステート) : データバス
- ・ D_7-D_0 (入出力: 3ステート) : 16bit長のデータバス。データ読みだし時には16bitバスとして機能し、書き込み時には8bitバスとして機能します。

2-3. ビデオ信号関連

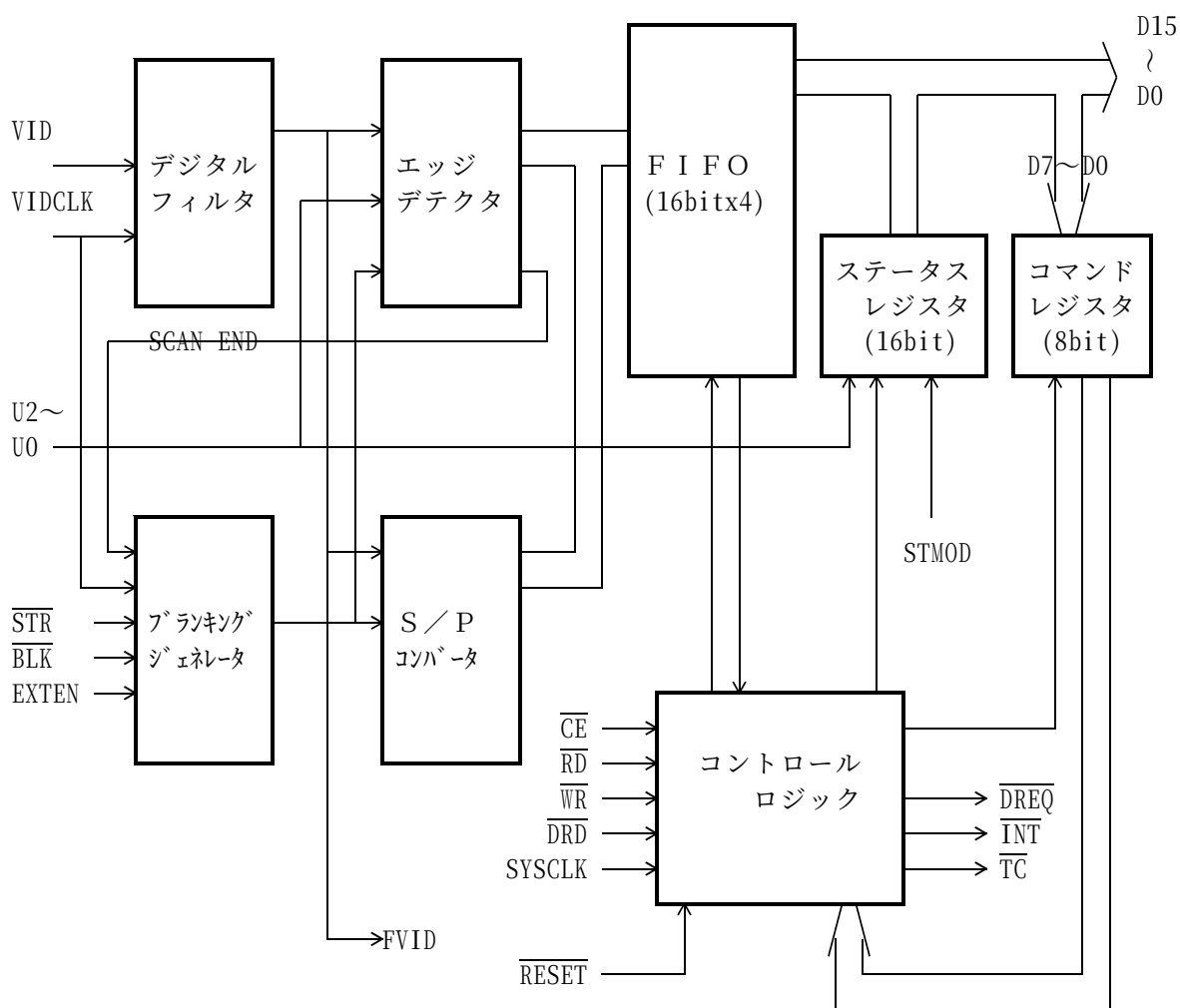
- ・ $\overline{\text{STR}}$ (入力: アクティブLow) : スタート信号
ラインセンサの走査のタイミングを与える信号。
走査開始の直前にLowにします。
- ・ VIDCLK (入力: 単相クロック) : ビデオクロック信号
ラインセンサの各画素をスキャンするタイミングを与える信号。
- ・ VID (入力) : ビデオ信号
2値化されたラインセンサの出力信号。
- ・ $\overline{\text{BLK}}$ (入力: アクティブLow) : ブランキング信号
Lの間はVID信号の受信を受け付けません。 $\overline{\text{STR}}$ 信号の立ち上がりからのラインセンサのダミー素子を見捨てるために用います。

- ・ EXTEN (入力: アクティブ High) : エクスターナルイネーブル
VID信号取り込みのトリガタイミングSTRの有効・無効の制御を外部から行う場合に用います。
- ・ FVID (出力: ビデオ信号) : フィルタリングビデオ信号
フィルタを通ったビデオ信号のモニタ用端子。

2-4. その他

- ・ INT (オープンドレイン出力 : インタラプト
: アクティブ Low) 外部CPUに対して割り込みを要求します。
- ・ TC (出力: アクティブ Low) : ターミナル カウント
DMACに対してプロセスの終了(1走査の終了で且つ出力バッファが空になったこと)を知らせるための信号。
- ・ U₂~U₀ (入力) : 汎用入力端子
汎用入力の値は、ステータスレジスタにてリアルタイムにモニタ可能。またエッジ検出モードの場合、その値がデータバス(D₁₄~D₁₂)に出力されます。この場合U₁, U₂の値は画像データと同期してデータバスに出力されます。

3. ブロック図



4、機 能

4-1. ラインセンサ画素数の設定

256、512、1024、2048、4096、8192bitの画素数のラインセンサに対応。センサの選択はソフトウェアにより制御します。

4-2. デジタルフィルタリング及びエッジ検出

ZEN2901Pでは、ラインセンサからのビデオ信号をデジタルフィルタに通すことができるようになっていました。またフィルタの特性をフィルタリング無し、4bitモード、8bitモードとプログラマブルに変えることができます。以下にデジタルフィルタの原理を述べます。

通常のフィルタなしの場合には、ビデオ信号が $L \rightarrow H$ のように変化したとき立ち上がりと認識し、 $H \rightarrow L$ に変化したときに立ち下がりと認識します。これに対して4bitモードでは、ビデオ信号が $L \rightarrow H \cdot H \cdot H$ と変化して初めて立ち上がりと認識し、 $H \rightarrow L \cdot L \cdot L$ と変化して初めて立ち下がりと認識します。以上の関係を下表にまとめます。

Table-1

フィルタリングモード	UP/DN	ビデオ信号
フィルタ無しモード	立ち上がり	L H.....
	立ち下がり	H L.....
4bitフィルタモード	立ち上がり	...L H H H...
	立ち下がり	...H L L L...
8bitフィルタモード	立ち上がり	L H H H H H H H
	立ち下がり	H L L L L L L L

具体的な例については、次の図-1を参照して下さい。

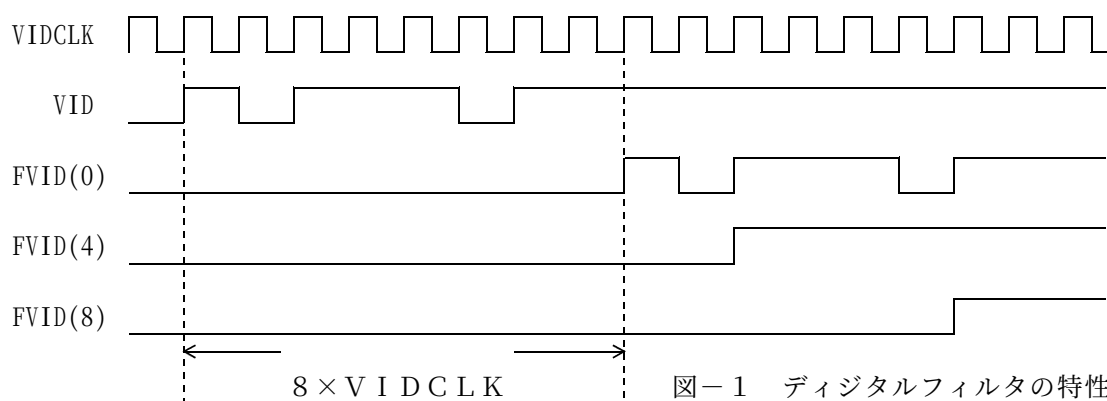


図-1 デジタルフィルタの特性

注) ・同一種類のエッジ(立ち上がり/立ち下がり)が連続して検出された場合、一番最初のエッジが有効になります。

・フィルタ通過後のビデオ信号の波形はFVID端子からモニタする事ができます。但し、この場合の信号は元のビデオ信号に対して $8 \times VIDCLK$ 分だけディレイがかかります。

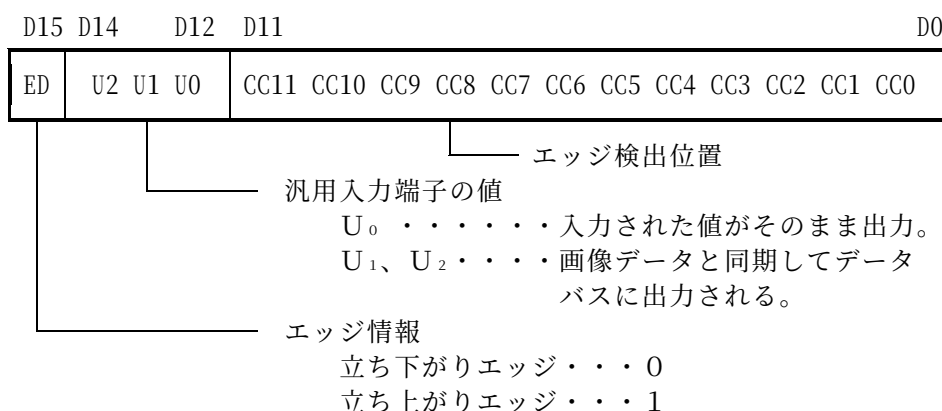
- ・FVID(0) : フィルタ無しモードを選択したときのFVID端子の波形
- ・FVID(4) : 4ビットフィルタモードを選択したときのFVID端子の波形
- ・FVID(8) : 8ビットフィルタモードを選択したときのFVID端子の波形

4-3. データの出力形式

ZEN2901Pでは16bitデータバスに出力される画像データとして以下の2つのモードを選択することができます。

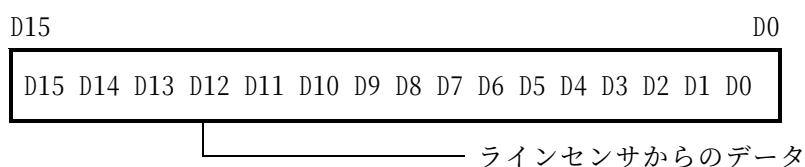
(1) エッジ検出モード

エッジの検出されたセンサの位置（何番目のセンサかということ）を最大13bit ($D_{12}-D_0$) のバイナリデータとして出力し、更にエッジ情報として最上位bitに立ち上がりエッジの場合1を、立ち下がりエッジの場合0を出力します。
4096bit ($=2^{12}$) の場合についてその出力形式の例を示します。



(2) ラインセンサデータ直接出力モード

ラインセンサからのビデオ信号（シリアルデータ）をシリ／パラ変換して、16bitデータバスに出力するモードです。出力形式は以下の通りです。
このモードにおいては、汎用入力の値をデータバス上でモニタすることはできません。



4-4. 割り込み機能

ZEN2901Pは割り込み機能として以下の3種類をサポートしています*)。

・DOFモード

エッジが短期間に多数検出されたため出力バッファ（FIFO）がオーバーフローした場合。

・EDモード

エッジ検出回数が設定値（0-63の範囲で設定可能）を上回った場合。

・SCDモード

ラインセンサの1スキャンが終了してかつFIFOが空になったとき。

*) 割り込みのイネーブル、ディスエーブルはプログラマブルで、またそれぞれのモードに対して個別にマスクをかけることができます。

【注意事項】

本ICは画像データを蓄える為、4段のFIFOを内蔵しておりますが、データの読出しのスピードが書込みのスピードに追いつかない時は、FIFOがオーバーフローします。その場合FIFOにはオーバーフロー直前迄のデータが保持され、それ以降のデータは失われます。

4-5. データ取り込みタイミングの設定

これは必要に応じてラインセンサデータを取り込むか否かを決定するモードで、高速の走査が必要でない場合や、ラインセンサの走査方向と垂直方向にブランク領域を設定したいときに用います。詳細な動作モードは以下のようになっています。

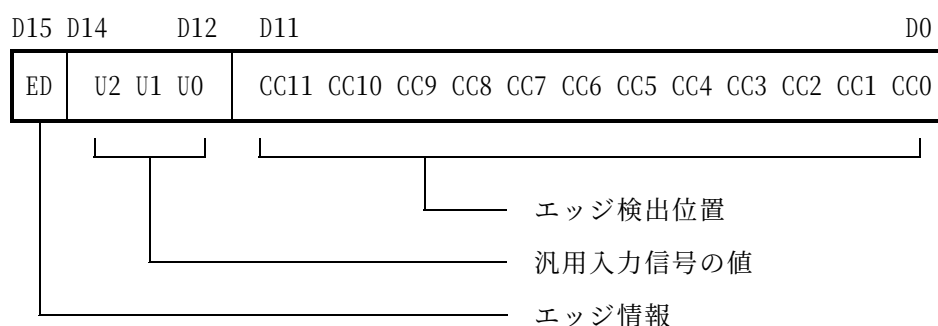
- 1) 毎回イネーブルモード
次に現れるスタート信号から毎回ラインセンサデータを受信する。
- 2) 毎回ディスエーブルモード
次に現れるスタート信号から毎回ラインセンサデータを無効とする。
- 3) 1回イネーブルモード (ソフトウェアトリガモード)
ソフトウェアで命令を書き込んだ後のスタート信号 (STR) 1回のみラインセンサデータを受信する。
- 4) 外部イネーブルモード (ハードウェアトリガモード)
外部入力端子 (EXTEN) がHの間に現れたスタート信号のみ有効としてラインセンサデータを受信する。
- 5) スキャン周期変更モード
2回に1回、3回に1回、4回に1回、の割合でスタート信号を有効としてラインセンサデータを受信する。

4-6. 汎用入力端子

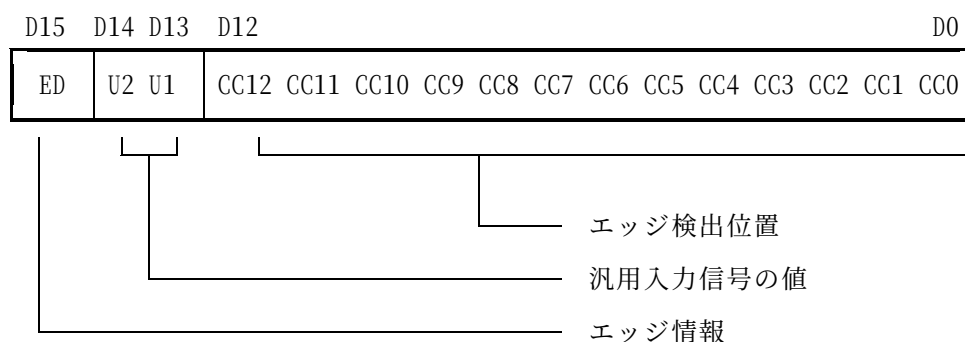
ZEN2901Pは3本の汎用入力端子を備えており、その値はステータスレジスタにてリアルタイムにモニタできます。またエッジ検出モードの場合には16bitデータバスのD₁₄－D₁₂に画像データと一緒に出力されます。(但し、8192bitクラスのラインセンサを用いる場合にはU₀は出力されない) この場合、U₂、U₁の値は画像信号に同期してデータバスに出力されます。

以下に例として4096bitと8192bitのラインセンサを使用した場合のデータバスの出力形式を示します。

1) 4096bit



2) 8192bit



4-7. 8bitCPUによる制御

ZEN2901Pは、本来16bitCPUを用いたシステムに対応するように考えられているためステータスレジスタは16bit長ですがこれを8bitずつにわけてD₇—D₀に出力することもできます。この場合、制御はSTMOD端子を用いて行います。以下にその様子を示します。

(1) STMOD=L

D15	D8	D7	D0
S15 S14 S13 S12 S11 S10 S9 S8	S7 S6 S5 S4 S3 S2 S1 S0		

(2) STMOD=H

D15	D8	D7	D0
S15 S14 S13 S12 S11 S10 S9 S8	S15 S14 S13 S12 S11 S10 S9 S8		

従って8bitCPUによるステータスの読みだしも可能となり、本ICを8bitCPUを用いて制御することも可能になります。

4-8. エッジ検出回数の読み出し

ZEN2901Pにはエッジ検出数計数用として6bitのカウンタが内蔵されており、0—63までのエッジ検出数を計数することができます。63以上のデータが検出された場合、カウンタはクリアされオーバフローを示すOVERフラグがステータスレジスタに出力されます。エッジカウンタの値は、あらかじめ設定されたセンサ画素数のスキャンが終了した時点でステータスレジスタに取り込まれますので、スキャン終了時にステータスレジスタを読み出すことで1スキャン中に検出されたエッジ数を知る事が出来ます。

4-9. ビデオ信号関連の入力形式について

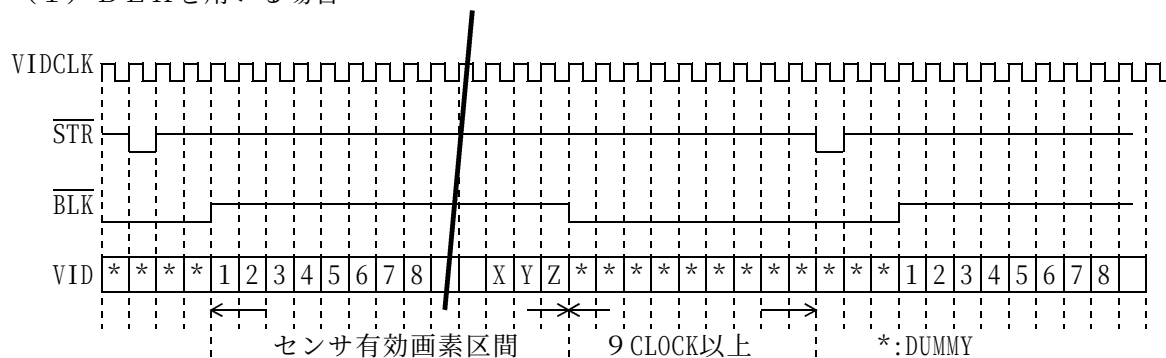
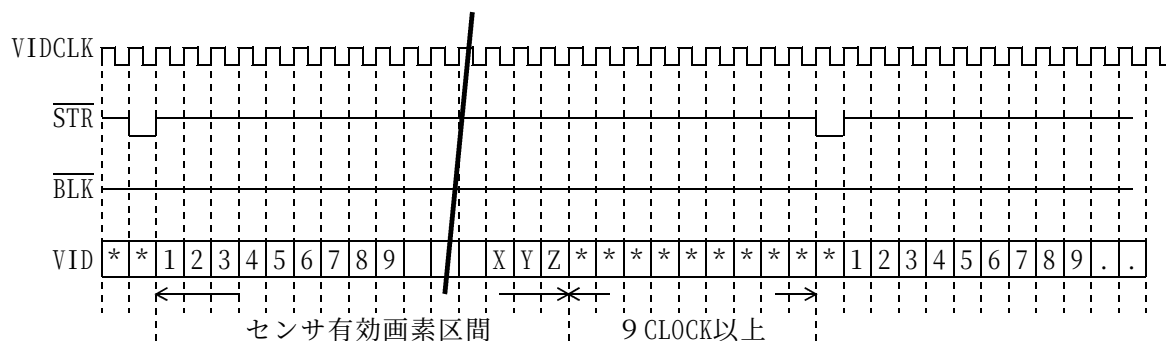
ラインセンサからの入力信号の形式に関して以下の点を注意して下さい。。

- 1) VID、STR、BLKはすべてVIDCLKの立ち上がり同期して変化させて下さい。
- 2) スキャンの終了から次のSTR信号がアサートされるまでの間に、最低9クロック（ビデオクロックにて）のインターバルを設けて下さい。
- 3) BLKを設定画素数のスキャン終了以前に立ち下げると、それ以降の画像データの取り込みは禁止されます。従って、2" 以外のラインセンサにも対応が出来ます。但し、この場合必ずSTR信号は設定した画素数分のスキャンが終了して9×VIDCLK経過後に入力して下さい。
- 4) BLK信号を用いないときは" H " に固定しておいて下さい。

ビデオ信号関連の入力形式の一例を次の図-2に示します。

【注意事項】

ビデオ信号（V I D）は必ずHレベル：+5 V、Lレベル：0 Vに2値化された信号を入力するようにして下さい。

(1) $\overline{\text{BLK}}$ を用いる場合(2) $\overline{\text{BLK}}$ を用いない場合

【注意事項】

- ・ V I D信号の中の数字は何番目の画素のデータかを示し、実際の値は0または1です。
- ・ V I D信号の有効画素区間終了から、次の $\overline{\text{STR}}$ 信号の入力まで最小9 CLOCK のインターバルをおいてください。
- ・ $\overline{\text{STR}}$ 、 $\overline{\text{BLK}}$ 、V I Dの各信号はV I D C L Kの立ち上がりに同期して変化させてください。

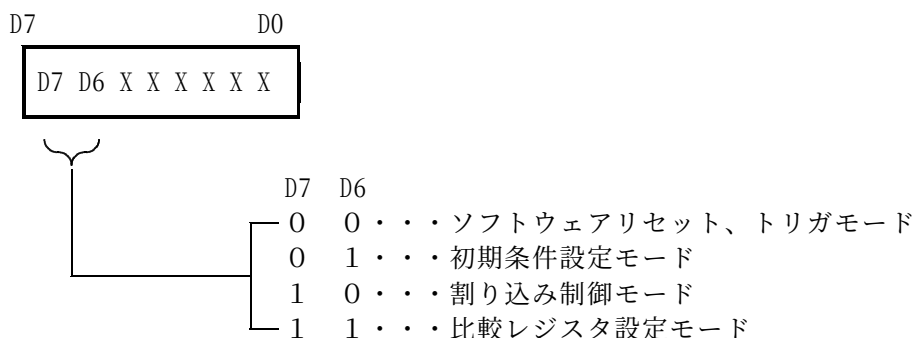
図－2．ZEN2901P画像信号関連入力フォーマット

5、コマンドレジスタフォーマット

5-1. 概要

ZEN2901Pでは種々の動作モードをソフトウェアで制御するために、8bit長のコマンドレジスタを1個持っています。コマンドの書き込みはWR信号と16bitデータバスのうち下位8bit (D7-D0) を用いて行います。

基本的なコマンド体系は、レジスタの上位2bitにより大きく分けた4つのモードを選択するようになっています。



(各モードの説明)

- 1) ソフトウェアリセット、トリガモード
ソフトウェア制御によりZEN2901P内部の各レジスタ、カウンタのクリアを行うソフトウェアリセットモードと、ラインセンサデータの取り込みのタイミングをソフトウェアで制御するトリガモードからなる。
- 2) 初期条件設定モード
データの出力形式の設定（エッジ検出、ラインセンサデータ直接出力）フィルタの特性設定、ラインセンサデータ取り込みタイミング設定等、ICの初期条件を設定するためのモード
- 3) 割り込み制御、ラインセンサ画素数設定モード
割り込み発生要因の設定、マスク指定等の割り込み関連の制御を行う割り込み制御モードと、ラインセンサの画素数設定モードからなる。
- 4) 比較レジスタ設定モード
エッジ検出回数を0-63の範囲で任意に設定してその値を越えた場合に割り込みをかける時に比較レジスタに値を設定するモード。

5-2. ソフトウェアリセット、トリガモード

このモードで所定のビットに1を書き込むと、 $\overline{WR} \cdot \overline{CE}$ の立上がりでSYSCLKでデジタル微分したタイミングで1ショットパルスが生成され、ソフトウェアリセット等が実行されます。

D7	D4	D3	D2	D1	D0
0	0	0	0	FFCLR	SFTRG
				INTCLR	SFTRST

FFCLR : このbitが1の時FIFOがクリアされる。

SFTRG : このbitが1の時ソフトウェアトリガがかかる。*)

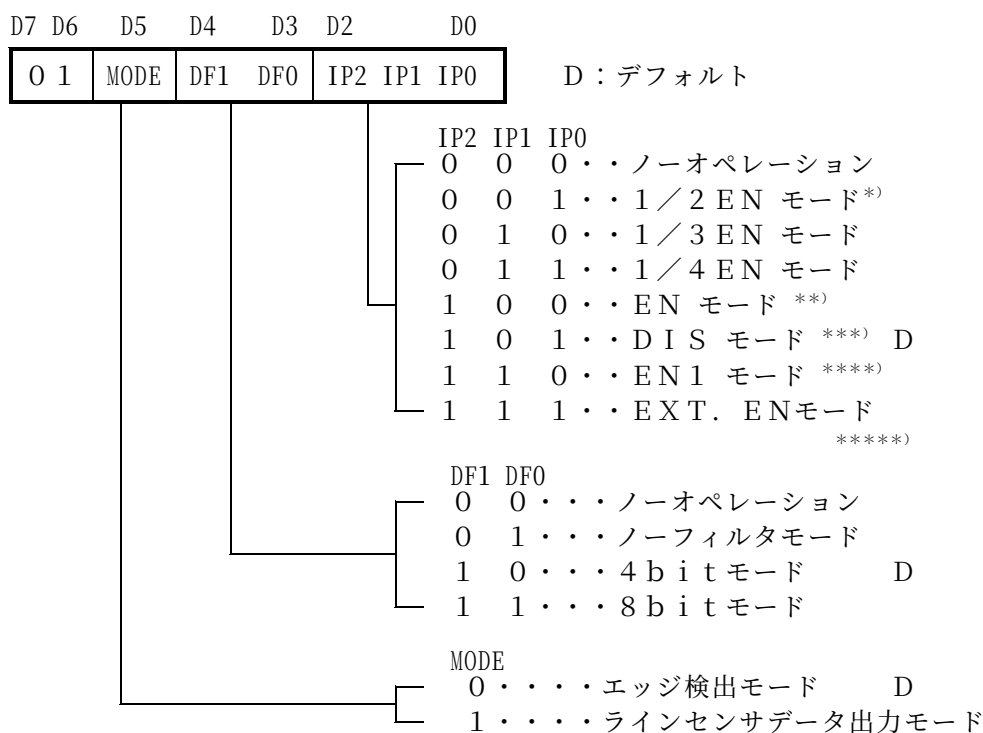
INTCLR : このbitが1の時割り込みリセットがかかる。

SFTRST : このbitが1の時ソフトウェアリセットがかかる。

*) ソフトウェアトリガは1回イネーブル (EN1) モードの場合のみ有効となります。

詳細は5-3項を参照下さい。

5-3. 初期条件設定モード



*) 1／2～1／4 ENモードとは2、3、4回に1回の割合でSTR信号を有効にしてラインセンサからのデータを取り込むモードの事。

**) ENモードは毎回STR信号を有効にして画像データをすべて有効にするモードの事。

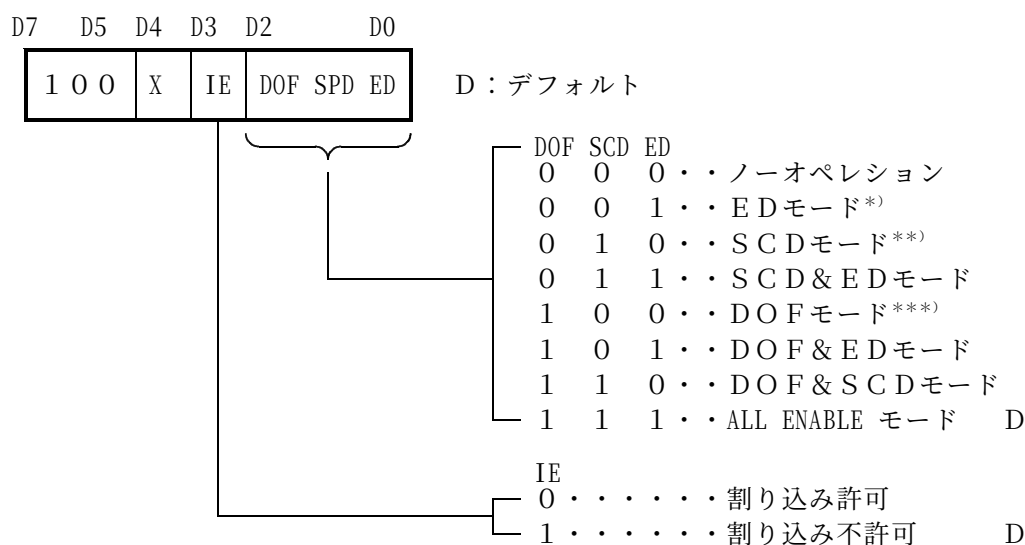
***) DISモードはSTR信号を毎回無効にして画像データをすべて無効にするモードの事。

****) EN1モードはソフトウェアトリガモードでSFTRGが1に設定された直後のSTR信号のみ有効にして1スキャン分の画像データを取り込むモードの事。

*****) EXT・ENモードはEXTEN端子がHの時のSTR信号のみを有効にしてその範囲の画像データのみを取り込むモードの事。

5-4. 割り込み制御、ラインセンサ画素数設定モード

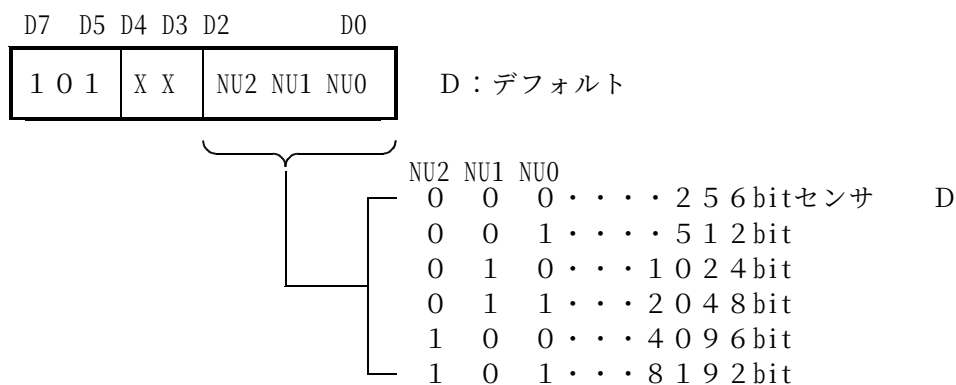
5-4-1. 割り込み制御モード



- *) E Dモードとはエッジ検出回数が設定値（0～63）に一致したときに割り込みを発生するモードの事。（5－5項参照）
- **) S C Dモードとはラインセンサの1スキャンが終了、かつF I F Oが空の時に割り込みを発生するモードの事。（5－5項参照）
- ***) D O FモードとはF I F Oがオーバーしてデータが失われた際に割り込みを要求するモードの事。（5－5項参照）

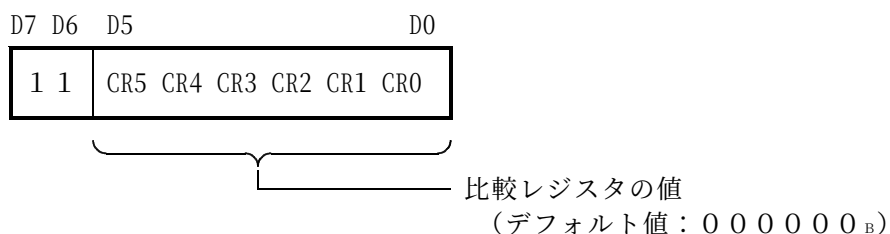
5－4－2．ラインセンサ画素数設定モード

ラインセンサの画素数を設定します。



5－5．比較レジスタの書き込み

エッジ検出数が特定値に達した場合に割り込みをかけるための値を設定するためのレジスタです。



エッジカウンタ及び割り込み要因の確認に関してはステータスレジスタの項目を参照して下さい。

注) デフォルトとはリセット直後の状態をいいます。

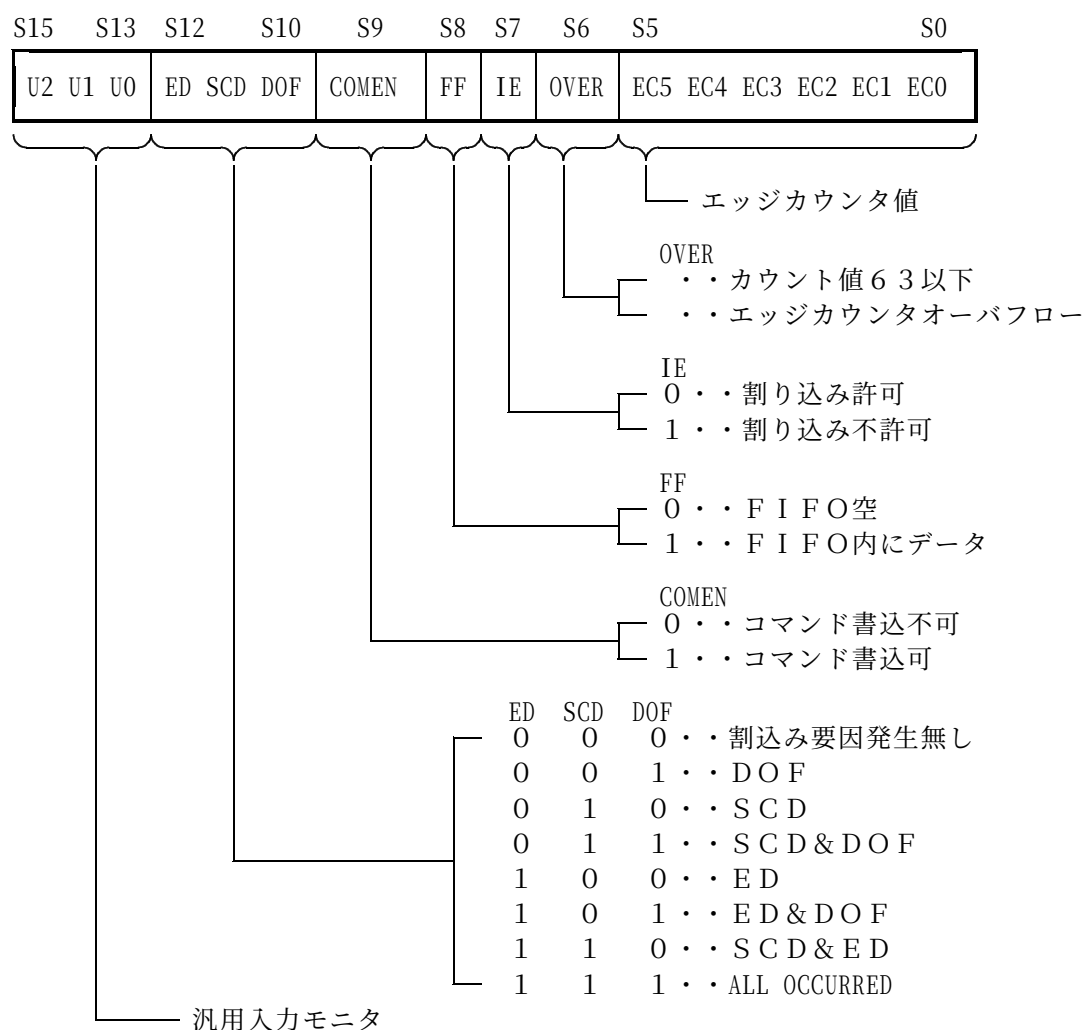
6、ステータスレジスタ

6-1. 概 要

ZEN2901Pはチップ内部の状態をモニタするためのステータスレジスタ（16bit長）を内蔵しています。読みだしはデータベースを通じて、RD信号を用いて行います。ステータスレジスタでモニタ可能な項目は以下の通りです。

- 1) エッジカウンタ値・・・エッジ検出回数をモニタします。
- 2) エッジカウンタキャリー・エッジカウンタのオーバーフローを表します。
- 3) 出力レジスタ情報・・・出力段の4本の16bitレジスタで構成されたFIFOの使用状況をモニタします。
- 4) コマンドイネーブル・・・コマンド書き込みの許可不許可を示します。
- 5) 割り込み許可不許可・・・割り込み発生が許可されているかを示します。
- 6) 割り込み発生要因・・・3種類の割り込み発生要因（DOF、SCEND、GTモード）のいずれが成立したかをモニタします。（マスクの有無は無関係になります）
- 7) 汎用入力モニタ・・・3bitの汎用入力端子の値をモニタします。

6-2. ステータスレジスタフォーマット



6-3. 解 説

- 1) 汎用入力端子モニタ (U2, U1, U0 ; ST15-ST13)
外部の汎用入力端子をモニタするためのbitで、U2-U0の値をリアルタイムにモニタできます。
- 2) 割り込み要因モニタ (ED, SCD, DOF ; ST12-ST10)
ZEN2901Pがサポートしている3種類の割り込み要因の発生をモニタするためのbitで、ソフトウェアによるマスクの有無に関わらず見ることが出来ます。
- 3) コマンド書き込み可／不可 (COMEN ; ST9)
ソフトウェアリセットを行った時に内部リセット信号がアサートされている期間”L”になります。 内部リセット信号はVIDCLKに同期して生成されるため、VIDCLKがSYSCCLKに対して極端に遅い場合には、このbitをモニタしてリセット信号の解除を確認してから次のコマンドを書き込んで下さい。
- 4) FIFO使用状況 (FF ; ST8)
FIFO内にデータがないときに”L”、あるときに”H”となります。
- 5) 割り込み許可／不許可 (IE ; ST7)
割り込み許可／不許可の設定状態をモニタするためのbitです。
- 6) エッジカウンタオーバーフロー (OVER ; ST6)
ラインセンサの1スキャン中に検出されたエッジ数が63を越えたときに”H”になります。 STR信号により”L”に再設定されます。
- 7) エッジカウント値 (ED5~ED0 ; ST5-ST0)
ラインセンサの1スキャン中に検出されたエッジ数を示します。この値は1スキャン終了毎に更新されていきます。

Table 2 各ステータスレジスタのセット・リセット条件

項 目	ビット番号	セット条件	リセット条件
汎用入力 モニタ	S15 - S13	各ビットに対応するU端子の値がHの時にセット、Lの時リセット。	
割り込み要因 モニタフラグ	S 1 2	エッジ検出回数が設定値を越えた時。	INTCLRコマンドを実行するか、ソフトウェアまたはハードウェアによるリセットをかける。
	S 1 1	1 スキャン終了で且FIFOが空の時。	
	S 1 0	FIFOがオーバフローした時。	
コマンド書き込み許可・不許可	S 9	ソフトウェアコマンドによるリセット実行中。	ソフトウェアコマンドによるリセットが終了。
FIFOレジスタ 情報	S 8	FIFO内にデータが存在する時。	FIFOが空の時。
割り込み許可 不許可	S 7	割り込み出力がイネーブルの時。	割り込み出力がディスエーブルの時。
エッジカウンタ オーバフロー	S 6	エッジ検出回数が64になった時。	次のSTR信号が入力された時。
エッジカウンタ 値	S5-S0	CCDの1 スキャンの画像データ処理が終了後にその間のエッジ検出数が書き込まれる。	

7、デフォルト値

リセット時における動作モードのデフォルト値は以下のようになっています。

(1) 初期条件設定モード

入力モード・・・・・・・・DISモード
デジタルフィルタ・・・・4bitモード
動作モード・・・・・・・・エッジ検出モード

(2) 割り込み制御、ラインセンサ画素数設定モード

割り込み要因制御・・・・ALL ENABLEモード
割り込み許可不許可・・・・不許可
ラインセンサ画素数・・・・・・・・256bit

(3) 比較レジスタの値

000000_B (111111_Bに再設定することをお奨めします)

8、電氣的仕様

8-1. 絶対最大定格

項 目	記 号	定 格	単 位
電源電圧	V_{DD}	$-0.3 \sim 7.0$	V
入力端子電圧	V_I	$V_{SS}-0.3 \sim V_{DD}+0.3$	V
出力端子電圧	V_O	$V_{SS}-0.3 \sim V_{DD}+0.3$	V
尖頭出力電流	I_{OL}	+20	mA
	I_{OH}	-20	mA
許容損失	P_T	660	mW
動作周囲温度	T_{OPR}	$0 \sim 70$	°C
保存温度	T_{STG}	$-55 \sim 150$	°C

($V_{SS} = 0V$)

注) この規格は開発サンプルに対する暫定規格です。

絶対最大定格はチップに印加しても破損しない許容値であり、動作を保証するものではありません。

8-2. 推奨動作条件

項 目	記 号	条 件	許 容 量			単位
			最 小	標 準	最 大	
電源電圧	V_{DD}		4.75	5	5.25	V
周囲温度	T_a		0		70	°C

($V_{SS} = 0V$)

8-3. 入出力容量

項 目	記 号	条 件	許 容 量			単位
			最 小	標 準	最 大	
入力端子	C_{IN}	$V_{DD}=V_I=0V$		10	20	pF
出力端子	C_{OUT}	$F=1MHz$		10	20	
入出力端子	$C_{I/O}$	$T_a=25^{\circ}C$		10	20	

8-4. 電気的特性 (8-2 項の推奨動作条件にて。試験周波数 16MHz)

項 目	記 号	条 件	許 容 値			単位
			最小	標準	最大	
静止電源電流	IDDS	$V_I = V_{DD}$ or V_{SS}			100	μA
動作時電源電流	IDDO	$V_I = V_{DD}$ or V_{SS} $f = 5MHz$ $V_{DD} = 5V$ 出力開放		64		mA
入力端子 (TTLレベル) SYSCLK, STMOD, U0, U1, U2, BVID, $\overline{BLK}$, VIDCLK, EXTEN						
入力電圧ハイレベル	V_{IH1}		2			V
入力電圧ロウレベル	V_{IL1}				0.8	V
入力リーク電流	I_{L1}	$V_I = V_{DD}$ or V_{SS}	-10		10	μA
出力プッシュプル $\overline{DREQ}$, TC, FVID						
出力電圧ハイレベル	V_{OH1}	$V_I = V_{DD}$ or V_{SS} $I_O = 4mA$	V_{DD} -0.6			V
出力電圧ロウレベル	V_{OL1}				0.4	V
出力Nch オープンドレイン $\overline{INT}$						
出力電圧ロウレベル	V_{OH1}	$V_I = V_{DD}$ or V_{SS} $I_O = 4mA$			0.4	V
出力リーク電流	I_{OZ1}	$V_O = Hi-Z$ 状態 $V_I = V_{DD}$ or V_{SS}	-10		10	μA
入力TTLシュミット $\overline{RESET}$, $\overline{CE}$, $\overline{RD}$, $\overline{WR}$, $\overline{DRD}$, $\overline{STR}$						
入力スレッショルド電圧	V_{T+T4} V_{T-T4}	$V_{DD} = 5.0V$	0.6	1.7 1.2	2.4	V
ヒステリシス幅	ΔV_{t4}	$V_{DD} = 5.0V$	0.2	0.5		V
入力リーク電流	I_{L1}	$V_I = V_{DD}$ or V_{SS}	-10		10	μA
入出力TTLレベル D0, D1, D2, D3, D4, D5, D6, D7						
入力電圧ハイレベル	V_{IH1}		2			V
入力電圧ロウレベル	V_{IL1}				0.8	V
出力電圧ハイレベル	V_{OH}		V_{DD} -0.6			V
出力電圧ロウレベル	V_{OL}				0.4	V
出力リーク電流			-10		10	μA
出力トライステート D8, D9, D10, D11, D12, D13, D14, D15						
出力電圧ハイレベル	V_{OH}	$I_O = -1.6mA$ $V_I = V_{DD}$ or V_{SS}	V_{DD} -0.6			V
出力電圧ロウレベル	V_{OL}	$I_O = 4.0mA$ $V_I = V_{DD}$ or V_{SS}			0.4	V
出力リーク電流	I_{OZ}	$V_O = Hi-Z$ 状態 $V_I = V_{DD}$ or V_{SS} $V_O = V_{DD}$ or V_{SS}	-10		10	μA

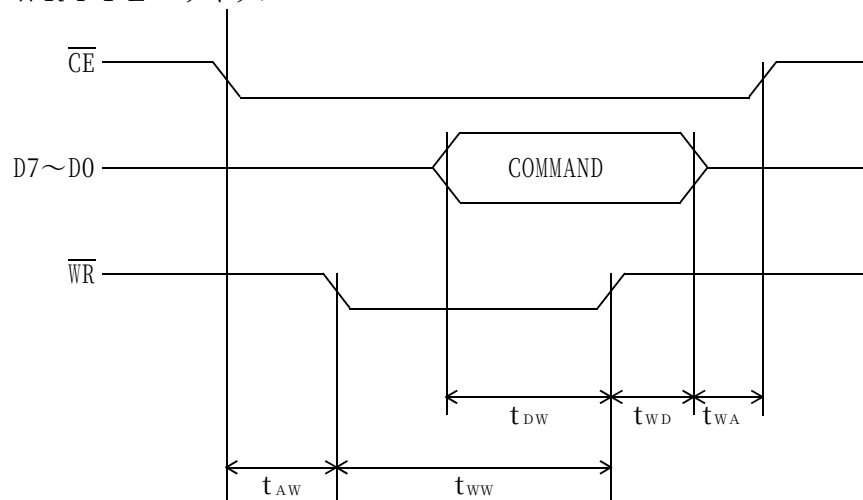
9、A C 特性

項 目	略 号	規 格 値 (n s)		
		m i n	t y p	m a x
$\overline{CE}$ セット時間 (対 $\overline{WR}$)	t_{AW}	0		
$\overline{CE}$ ホールド時間 (対 D_7-D_0)	t_{WA}	0		
データセット時間 (対 $\overline{WR}$)	t_{DW}	20		
データホールド時間 (対 $\overline{WR}$)	t_{WD}	10		
$\overline{WR}$ パルス幅	t_{WW}	$\phi_{CKS} \times 2$		
$\overline{CE}$ セット時間 (対 $\overline{RD}$)	t_{AR}	0		
$\overline{CE}$ ホールド時間 (対 $\overline{RD}$)	t_{RA}	0		
$\overline{RD}$ パルス幅	t_{RR}	$\phi_{CKS} \times 2$		
データアクセス時間 (対 $\overline{RD}$)	t_{RD}			50
データフロート遅延時間	t_{DF}	5		
画像データ遅延時間 (対 $\overline{DRD}$)	t_{DD}			25
画像データフロート遅延時間	t_{DF}	5		
$\overline{DRD}$ パルス幅	t_{DRD}	$\phi_{CKS} \times 2$		
$\overline{DREQ}$ 遅延時間 (対 $\overline{DRD}$)	t_{DLY}			40
クロックHLパルス幅 (VIDCLK)	ϕ_{VC}	29 ^{*)}		
(SYSCLK)	ϕ_{SC}	29 ^{*)}		
クロック立ち上り時間 (VIDCLK)	ϕ_r			3
(SYSCLK)				3
クロック立ち下り時間 (VIDCLK)	ϕ_f			3
(SYSCLK)				3
クロック周期 (VIDCLK)	ϕ_{CKV}	125		
(SYSCLK)	ϕ_{CKS}	63		
リセットパルス幅	t_{RST}	$\phi_{CKV} \times 2$		
$\overline{STR}$ パルス幅	t_{STR}	ϕ_{CKV}		
$\overline{STR}$ 遅延時間 (対VIDCLK)	t_{SVC}			20
$\overline{BLK}$ 遅延時間↑ (対VIDCLK)	t_{BCR}			20
$\overline{BLK}$ 遅延時間↓ (対VIDCLK)	t_{BCF}			20
V I D信号遅延時間 (対VIDCLK)	t_{VDC}			20

*) ビデオクロックまたはシステムクロックがクロック周期の下限の場合必ずデューティ50%の波形を入力して下さい。

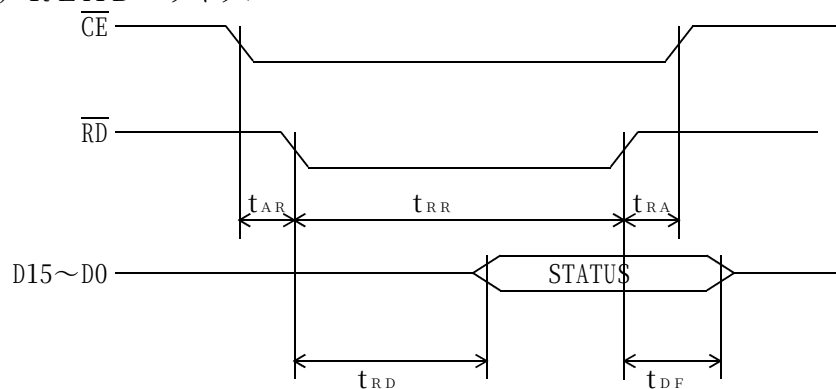
10、動作タイミング

(1) WRITE サイクル



$$t_{WD} \geq 10\text{ns}$$

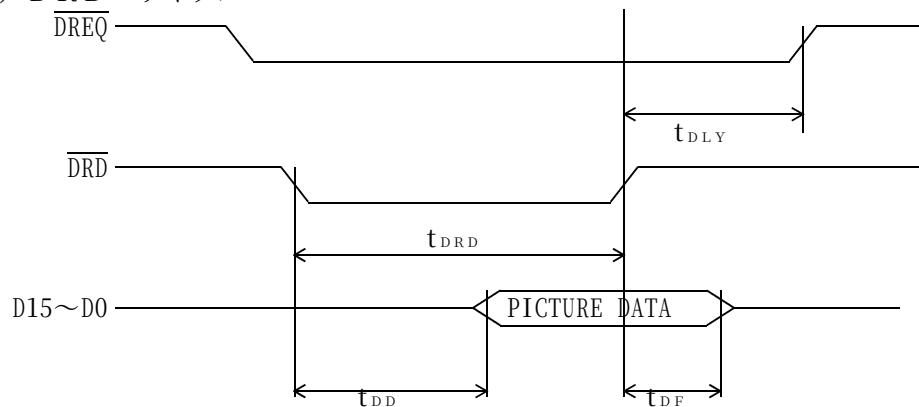
(2) READ サイクル



$$t_{RD} \leq 50\text{ns}$$

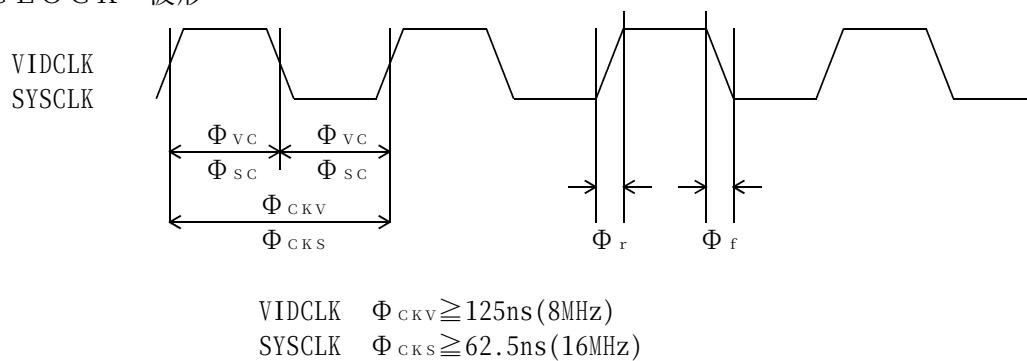
$$t_{DF} \geq 5\text{ns}$$

(3) DRD サイクル

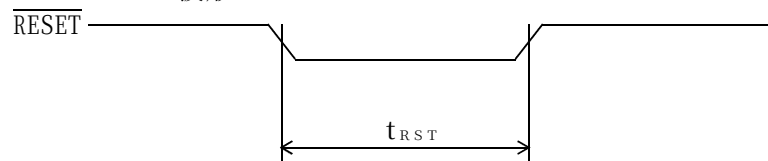


$$t_{DD} \leq 25\text{ns} \quad t_{DF} \geq 5\text{ns} \quad t_{DLY} \leq 40\text{ns}$$

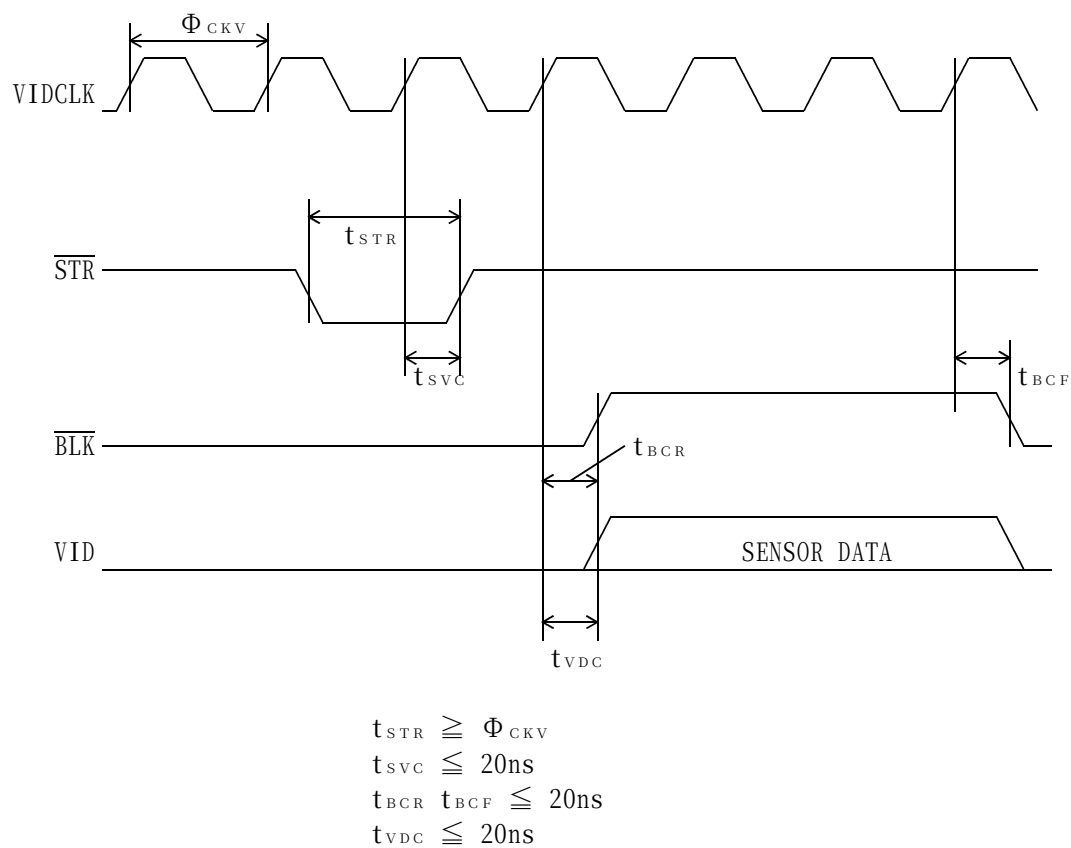
(4) CLOCK 波形



(5) RESET 波形



(6) VIDEO 信号 波形



ご 注 意

- 1) 本製品および本資料は**株式会社ジーニック**の著作物です。したがって、本資料の全部または一部を無断で複製、転載することはご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail support@zenic.co.jp

大津市大萱1丁目17-14 松政ビル6F 〒520-2144 TEL 077-543-2101 FAX 077-543-9431